

~~87~~

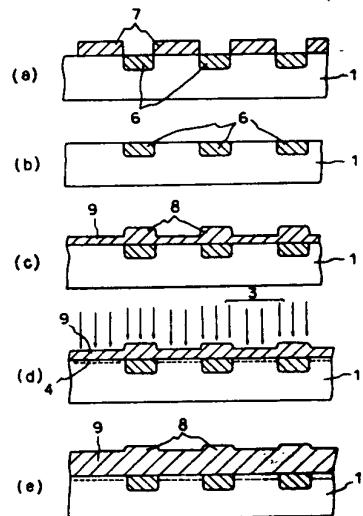
implant enhanced oxide

## (54) MANUFACTURE FOR SEMICONDUCTOR DEVICE

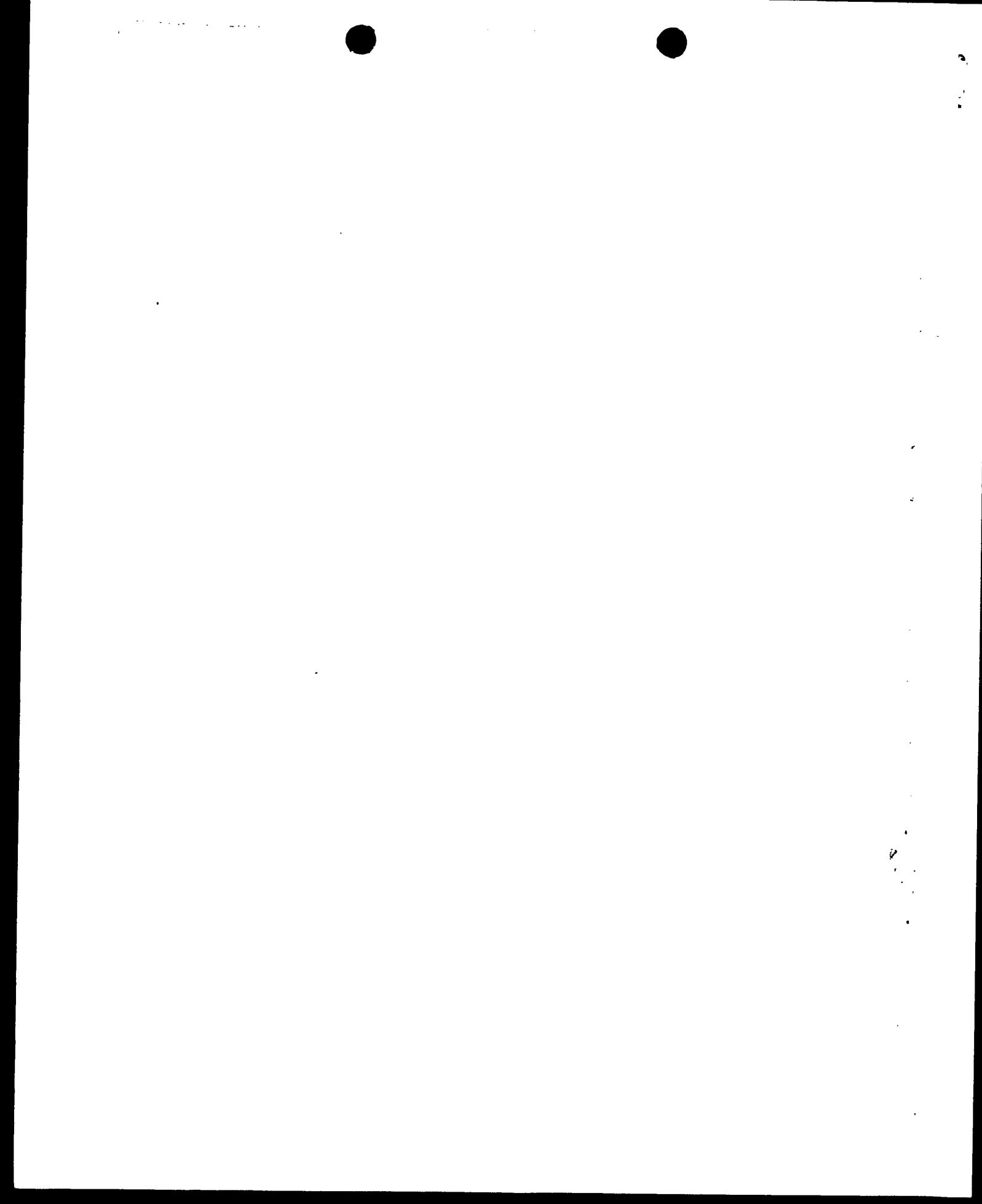
(11) Kokai No. 54-7884 (43) 1.20.1979 (19) JP  
 (21) Appl. No. 52-73559 (22) 6.20.1977  
 (71) MITSUBISHI DENKI K.K. (72) ISAO NISHIMURA  
 (52) JPC: 99(5)E3;99(5)H0;99(5)B1  
 (51) Int. Cl. H01L29/78, H01L21/265, H01L21/72, H01L29/06

**PURPOSE:** To manufacture a semiconductor device, by providing an oxide film having different thickness partially on a substrate having impurity layer and by selectively injecting ions.

**CONSTITUTION:** A SiO<sub>2</sub> 7 on a P type Si 1 is selectively etched and opened, a N type layer 6 is provided, and a mask 7 is removed. Further, when a SiO<sub>2</sub> is newly formed, films 8 and 9 are formed with the growing speed difference and the film 8 on the layer 6 becomes thick. Subsequently, ions are injected so that only the film 9 is passed through, forming a P type layer 4. Next, the films 8 and 9 are made thick with field oxidation and MOS devices are manufactured as conventional methods. With this method, since only one photo etching process is required, the manufacture is simple and the yield rate can be increased.



437 / 21



⑨日本国特許庁

⑪特許出願公開

## 公開特許公報

昭54—7884

⑩Int. Cl.<sup>2</sup> 識別記号

H 01 L 29/78  
H 01 L 21/265  
H 01 L 21/72  
H 01 L 29/06

⑫日本分類

99(5) E 3  
99(5) H 0  
99(5) B 1

序内整理番号

6603—5F  
6684—5F  
6513—5F  
7514—5F

⑬公開 昭和54年(1979)1月20日

発明の数 1  
審査請求 未請求

(全3頁)

### ⑭半導体装置の製造方法

電機株式会社北伊丹製作所内

⑮出願人 三菱電機株式会社

東京都千代田区丸の内二丁目2  
番3号

⑯代理人 弁理士 葛野信一 外1名

⑭特願 昭52—73559

⑭出願 昭52(1977)6月20日

⑭発明者 西村勲  
伊丹市瑞原4丁目1番地 三菱

### 明細書

#### 1. 発明の名称

半導体装置の製造方法

#### 2. 特許請求の範囲

その表面に部分的に不純物を含んだ半導体基板  
を用意する工程、

上記半導体基板表面を酸化して上記不純物を含  
んだ部分に厚い酸化膜をかつその他の部分に薄い  
酸化膜を形成する工程、

上記半導体基板内に上記薄い酸化膜のみを通し  
てイオン注入法により選択的に不純物イオンを注  
入する工程、

を含むことを特徴とする半導体装置の製造方法。

#### 3. 発明の詳細な説明

本発明は写真製版工程を利用した半導体装置の  
製造方法に関するものである。

トランジスタ、集積回路等の半導体装置の製造  
においては、半導体基板内の限定された部分に特定  
の導電形領域を形成する場合や半導体基板表面  
上の限定された部分に微少寸法の配線を形成する

場合に写真製版工程は欠かせない技術である。

第1図はこのような写真製版工程を利用した半  
導体装置の製造方法の一例として、Nチャンネル  
メタルゲートMOSLSIを製造する場合を示す  
ものである。以下工程順に説明すると、(a)先ずP  
形シリコン基板(1)を用意してその全表面を酸化し  
て酸化シリコン膜(2)を形成した後、写真製版工程  
を利用してソース、ドレイン領域となる部分は残  
しフィールドになる部分は除くように上記酸化シリ  
コン膜(2)を部分的に除去する。次に残っている  
酸化シリコン膜(2)をマスクとして利用してイオン  
注入法により矢印(3)のようにP形不純物例えはボ  
ロンのイオンを打込み、選択的に打込み領域(4)を  
形成する。このイオン打込みはMOSトランジス  
タとしてのBV<sub>BD</sub>特性、V<sub>TP</sub>特性等を向上させ  
る目的で行うものである。(b)次に上記酸化シリコン  
膜(2)を全て除去し、(c)続いて改めて全表面に新  
しい酸化シリコン膜(5)を形成した後、写真製版工  
程によりフィールド部分のみに残すように上記酸  
化シリコン膜(5)を部分的に除去し、残した酸化シリ  
コン膜(5)をマスクとして利用してイオン注入法によ  
りV<sub>TP</sub>特性を向上させる。

シリコン膜(5)をマスクとしてN形不純物例えば磷を拡散してソース、ドレイン領域となるN形領域(6)を形成する。(d)フィールド酸化を行い上記N形領域(6)表面にも酸化シリコン膜(5)を形成すると同時に全表面の酸化シリコン膜(5)を全体的に厚くなるように形成する。

続いて、ゲート酸化膜形成、コンタクト形成、メタル配線形成、ガラスコート形成等の通常のMOSLSIの製造工程を経てMOSLSIを完成させる。

以上のような一連の製造工程においては多数の写真製版工程を必要としマスク合せ作業がその数だけ必要となり、上記第1図(a)～(d)工程だけでも2度のマスク合せ作業が必要である。マスク合せ工程は、半導体装置製造上一番高い技術的熟練度が要求されかつ非常に作業性が悪い工程であるため、その数はできるだけ少くすることが半導体装置製造上大きな省力化、歩留向上につながる。また上記従来の製造法で製造された半導体装置はジャンクション耐圧が低くなるという欠点があつた。

(3)

工程(c) 上記基板(1)全表面を改めて酸化し酸化シリコン膜を形成する。この場合基板(1)表面のうち予め不純物が含まれていた部分の酸化シリコン膜(8)はそれ以外の部分の酸化シリコン膜(9)に比べて、その成長速度が大になる性質があるために、厚く形成される。

工程(d) 基板(1)全表面に対しイオン注入法により矢印(3)のようにP形不純物例えばボロンのイオンを、薄い酸化シリコン膜(9)のみを通過するようなエネルギーでもつて打込み、選択的に打込み領域(4)を形成する。これによりフィールドとなる部分のみに上記打込み領域(4)を形成することができる。

工程(e) フィールド酸化を行い酸化シリコン膜(8)および(9)をより一層厚くなるように形成する。続いて、従来と同じような工程を経てMOSLSIを完成する。

以上のような本発明実施例工程によれば(a)～(d)工程で写真製版工程は(a)工程の1度だけしか必要としないため、従来工程に比べマスク合せ作業は1回しか必要としないで従来と同一構造が得られ

特開昭54-7884(2)

したがつて、本発明の目的はマスク合せ作業を減少させることが可能な半導体装置の製造方法を提供するものである。

このような目的を達成するため、本発明は予め表面に部分的に不純物を含んだ半導体基板を用意し、この基板を酸化することにより部分的に厚さの異なる酸化膜を形成し上記酸化膜のうち薄い酸化膜部分のみを通して不純物イオンをイオン注入するもので、以下実施例を用いて詳細に説明する。

第2図(a)乃至(e)は本発明の一実施例によるMOSLSIの製造工程で、以下工程順に説明する。

工程(a) P形シリコン基板(1)を用意しその全表面を酸化して酸化シリコン膜(7)を形成した後、写真製版工程を利用してソース、ドレイン領域となる部分は除きフィールドになる部分は残すように上記酸化シリコン膜(7)を部分的に除去する。次に残した酸化シリコン膜(7)をマスクとしてN形不純物例えば磷を拡散してソース、ドレイン領域となるN形領域(6)を形成する。

工程(b) 上記酸化シリコン膜(7)を全て除去する。

(4)

ることになる。

したがつてこの分作業性が改善され、半導体装置製造上大きな省力化、歩留向上が期待できる。またこれに伴いジャンクション耐圧の低下も防止できるようになる。

本実施例では特にNチャンネルメタルゲートMOSLSIを製造する場合に例をとつて説明したが、本発明はこれに限定されることなくシリコンゲート形MOSLSI、Pチャンネル形MOSLSI等を含むその他の半導体装置に対しても同様に適用できるものである。

#### 4. 図面の簡単な説明

第1図(a)乃至(d)は従来の製造工程を示す断面図、第2図(a)乃至(e)は本発明実施例による製造工程を示す断面図である。

(1) . . . 半導体基板、(2), (5), (7), (8)および  
(9) . . . 酸化膜、(3) . . . 不純物イオン、(4)  
. . . 打込み領域、(6) . . . 拡散領域。

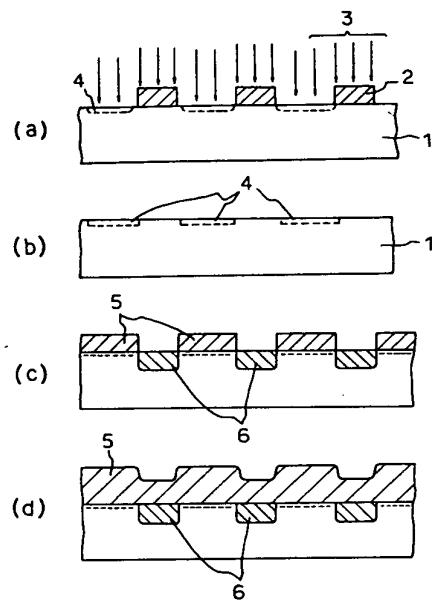
代理人 萩野信一(外1名)

(5)

—432—

(6)

第1図



特開昭54-7884(3)

第2図

